

Patent Abstracts of Japan

PUBLICATION NUMBER : 60186053
 PUBLICATION DATE : 21-09-85

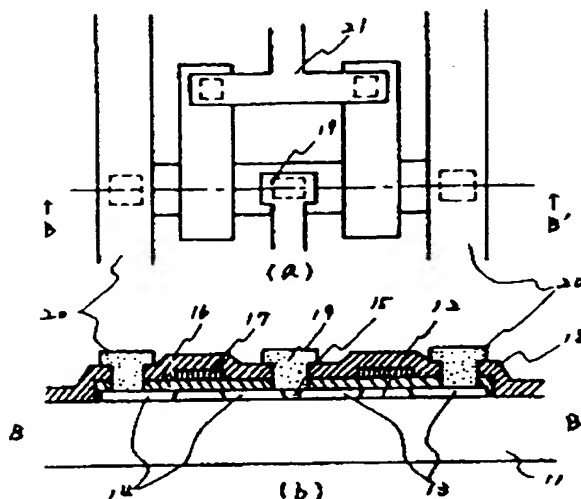
APPLICATION DATE : 06-03-84
 APPLICATION NUMBER : 59042411

APPLICANT : SEIKO EPSON CORP;

INVENTOR : TSUNEKAWA YOSHIFUMI;

INT.CL. : H01L 27/08 H01L 29/78

TITLE : THIN FILM COMPLEMENTARY MOS
 CIRCUIT



ABSTRACT : PURPOSE: To microminiaturize a CMOS circuit by forming N type TFT and P type TFT on the same semiconductor to form a thin film CMOS circuit, thereby reducing a transistor interval and connecting a common electrode with only one contact.

CONSTITUTION: A semiconductor layer 12 is formed on an insulating substrate 11, etched in the suitable shape, and a gate film is formed. Then, after a semiconductor layer is formed, a gate electrode 17 is formed by impurity diffusing or highly conductive material, the source and drain regions of N type TFT and P type TFT are coupled by ion implanting of an impurity ion beam. The source and drain regions are separately formed at the N type and P type TFTs with the TFT of one side with a resist as a mask. The source and drain regions are formed on the same semiconductor layer of both the transistors, and particularly in the drain regions are sufficiently approached between the both transistors in a structure like 13, 14, 15. Then, after an interlayer insulating layer 18 is formed, a contact is formed by a conductive material, thereby forming an inverter.

COPYRIGHT: (C)1985,JPO&Japio

⑤ 日本国特許庁(JP)

⑥ 特許出願公開

⑦ 公開特許公報(A)

昭60-186053

⑧ Int.Cl.⁴H 01 L 27/08
29/78

識別記号

1 0 2

庁内整理番号

6655-5F
8422-5F

⑨ 公開 昭和60年(1985)9月21日

審査請求 未請求 発明の数 1 (全3頁)

⑩ 発明の名称 薄膜相補型MOS回路

⑪ 特 願 昭59-42411

⑫ 出 願 昭59(1984)3月6日

⑬ 発 明 者 恒 川 吉 文

諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑭ 出 願 人 株式会社諏訪精工舎

東京都新宿区西新宿2丁目4番1号

⑮ 代 理 人 弁理士 最 上 務

明 細 書

1 発 明 の 名 称

薄膜相補型MOS回路

2 特 許 請 求 の 範 囲

N型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜相補型MOS回路において、前記N型薄膜トランジスタと前記P型薄膜トランジスタの共通となるソース領域またはドレイン領域を、同一の半導体薄膜中に形成し、かつ唯一のコンタクトホールから共通電極を形成することを、特徴とする薄膜相補型MOS回路。

3 発 明 の 詳 細 な 説 明

〔技術分野〕

本発明は、薄膜トランジスタ（以下TFTと記す。）で構成する、薄膜相補型MOS回路（以下薄膜CMOS回路と記す。）の共通電極部の構造に関するものである。

〔従来技術〕

従来のシリコンウエハに形成する、N型MOSトランジスタおよびP型MOSトランジスタより構成されるCMOS回路では、各々のトランジスタを同一ウエハに形成する際、N型ウエハ使用の時はP型ウェルを、P型ウエハ使用の時はN型ウェルを形成した後、ウエハ内のウェル部と、ウェル部以外に、別々にMOSトランジスタを形成し、共通電極領域を、アルミニウム等の導電体材料で接続してCMOS構造とするものであって、この方法では、必ずウエハとは型の異なるウエハが必要となり、共通電極領域からの電極の引き出しに2点のコンタクトを必要とする点、およびトランジスタ間隔縮小の点で限界が生じ、微細化を進める上で問題があった。

〔目的〕

本発明はこのような問題点を解決するもので、その目的とするところは、同一半導体に、N型TFTおよびP型TFTを形成して薄膜CMOS回路を構成することにより、トランジスタ間隔を減

少させ、かつ共通電極を唯一のコンタクトで取り
 CMOS回路の微細化をはかることにある。

〔概要〕

N型薄膜トランジスタおよびP型薄膜トランジスタで構成する薄膜CMOS回路の共通となる電極部を、同一半導体に形成し、かつ唯一のコンタクトで電極を形成することを、特徴とする。

〔実施例〕

以下、本発明について、実施例に基づき詳細に説明する。

説明にあたり、図路として基本図路であるインバータを使用する。第1図が従来のシリコンウエハに作製したインバータを、第2図がTFTで構成したインバータを示す。第1図(a)および第2図(a)は、インバータの上面図を、第1図(b)および第2図(b)は、各々AA'およびBB'で切断した際の断面図である。

第1図と第2図で示すCMOS回路の構造上ならびに作製上の相異点は、薄膜CMOS回路(第2図(b))では、ウェル2を形成することなく

スタ共に同一半導体層に形成し、特にドレイン領域は、両トランジスタ間で十分近接させ、13、14、15のような構造とする。次いで層間絶縁層18を形成した後、導電性材料によりコンタクトをとり、インバータを形成する。

加えて、第3図は、作製法は前述のとおりであるが、共通であるドレイン電極を、イオン打ち込み等で形成したドレイン領域の、P型およびN型不純物が混在する重なり領域15より取り出したことを示す図である。

第4図は、ソース領域およびドレイン領域の形成法を除いて上述と同様に作製する。ソース領域およびドレイン領域は、不純物注入の際、まずソース領域およびドレイン領域全面にN型不純物またはP型不純物を注入し、N型不純物注入の際はN型TFTを、P型不純物注入の際はP型TFTを、レジスト等でマスクをして、逆の型の不純物注入を行ない、N型TFTおよびP型TFTのソース領域およびドレイン領域を形成する。

特開昭60-186053(2)

A. 同一半導体層12に、N型TFTおよびP型TFTのソースおよびドレイン領域を形成していること、さらに、N型トランジスタおよびP型トランジスタの電極の中で、共通となる電極、図中では、ドレイン電極とゲート電極であるが、ドレイン電極を、両トランジスタのドレイン領域より、唯一のコンタクトにより取り出していることである。

総じて薄膜CMOS回路の製造法について、説明を加える。

絶縁基板11上に半導体層12を形成し、適当な形状にエッチングした後ゲート膜を形成する。次いで、半導体層形成後の不純物拡散あるいは高導電性材料によりゲート電極17を形成し、N型TFTおよびP型TFTのソースおよびドレイン領域を不純物イオンビームのイオン打ち込み等で形成する。ソースおよびドレイン領域は、片側のTFTを、レジスト等でマスクをして、N型TFTおよびP型TFTで別々に形成する。第2図bの如くソースおよびドレイン領域は、両トランジ

〔効果〕

以上述べてきたように、本発明によれば、薄膜CMOS回路のN型TFTおよびP型TFTにおいて、各々のソース領域およびドレイン領域を、同一の半導体薄膜中に形成することで、トランジスタ間隔の大幅な縮小が可能となり、薄膜CMOS回路自体の微細化および薄膜CMOS回路を用いた集積回路の高集積化に多大な効果を有するものである。

加えて、第3図に示す如く、ソース領域およびドレイン領域を、多結晶中あるいは非晶質層中に形成するので、P型領域とN型領域との接触による、キャリアの流れの制限が、単結晶中に形成する際と比較して、緩和され第3図のような電極の引き出しにより、コンタクトを十分に取ることができる。

第4図では、N型TFTおよびP型TFTの共通電極領域の境界部の構造が簡略化されるので、第2図の如く、共通電極19の取り出しを、N型TFTおよびP型TFTに、またがって取り出す

特開昭60-186053(3)

場合には、型の異なる不純物の混在領域がないので共通電極部の縮小が可能となり、さらに進んだ微細化が可能となる。

4 図面の簡単な説明

第1図は従来のCMOSインバータの構造を、第2図は、薄膜CMOSインバータを示す。両図ともに(a)が上面図、(b)が断面図である。

第3図は、第2図において、ドレイン電極のコンタクト位置を、ドレインの重なり部より取り出した構造を示す図である。

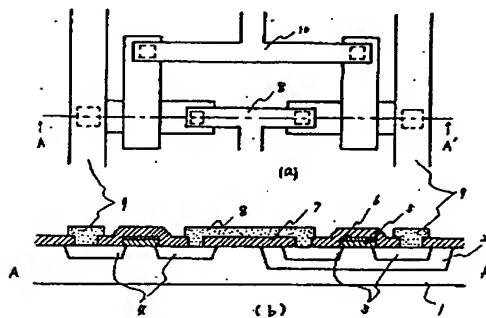
第4図は、ドレインおよびソース領域の形成方法が異なる薄膜CMOSインバータの構造を示す。

- 1 --- シリコンウエハ
- 2 --- ウエル
- 3 --- ソース(右)およびドレイン(左)領域
- 4 --- ソース(左)およびドレイン(右)領域
- 5 --- ゲート膜
- 6 --- ゲート電極

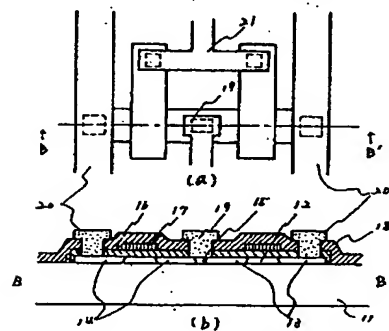
- 7 --- 絶縁膜
- 8 --- 出力ライン(ドレイン電極)
- 9 --- 電源ライン(ソース電極)
- 10 --- 入力ライン(ゲート電極)
- 11 --- 絶縁基板
- 12 --- 半導体層
- 13 --- ソース(右)およびドレイン(左)領域
- 14 --- ソース(左)およびドレイン(右)領域
- 15 --- ドレインの重なり領域
- 16 --- ゲート膜
- 17 --- ゲート電極
- 18 --- 絶縁膜
- 19 --- 出力ライン(ドレイン電極)
- 20 --- 電源ライン(ソース電極)
- 21 --- 入力ライン(ゲート電極)

以上

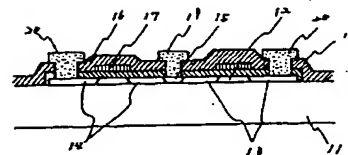
出願人 株式会社藤紡精工舎
代理人 弁理士 最上 務



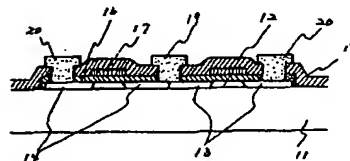
第1図



第2図



第3図



第4図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.